

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-289319

(43)Date of publication of application : 04.11.1997

(51)Int.Cl.

H01L 29/786

H01L 27/12

H01L 29/78

(21)Application number : 08-100835

(71)Applicant : MATSUSHITA ELECTRIC WORKS LTD

(22)Date of filing : 23.04.1996

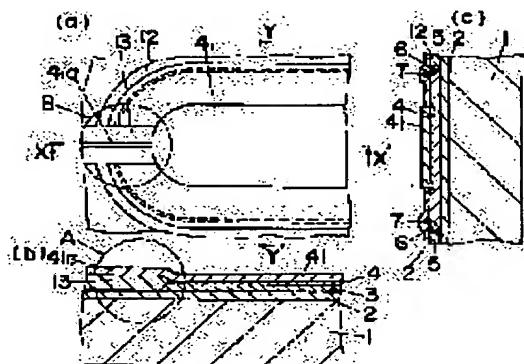
(72)Inventor : HAYAZAKI YOSHIKI
 SUZUMURA MASAHIKO
 MAEDA MITSUhide
 SUZUKI YUJI
 SHIRAI YOSHIFUMI
 TAKANO MASAMICHI
 KISHIDA TAKASHI
 YOSHIDA TAKESHI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device that develops less degradation in withstand voltage due to the concentration of electric fields when electrode wiring is formed, and that enables enhancement of withstand voltage.

SOLUTION: A semiconductor layer 3 is formed on a semiconductor substrate 1 with an insulating layer 2 in-between, and a drain region 4 and a well region 5 distant from each other are formed in the semiconductor layer 3 with a source region 6 formed in the well region 5. An insulating gate 7 is formed on the well region 5 with an insulating film 8 in-between, and a drain electrode 41 is formed on the drain region 4. An insulating region 13 so thick as to reach the insulating layer 2, is formed around the lower part of a drain electrode wiring 41a electrically connected with the drain electrode, and the source region 6 and the well region 5 are cut off from each other by the insulating region.



LEGAL STATUS

[Date of request for examination] 15.06.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
 examiner's decision of rejection or application
 converted registration]

[Date of final disposal for application]

[Patent number] 3201719

[Date of registration] 22.06.2001

[Number of appeal against examiner's decision of
 rejection]

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3201719号

(F 3 2 0 1 7 1 9)

(45) 発行日 平成13年 8 月27日 (2001. 8. 27)

(24) 登録日 平成13年 6 月22日 (2001. 6. 22)

(51) Int. Cl. ⁷

識別記号

H01L 29/786

F I

H01L 29/78

616

T

626

Z

621

請求項の数 6 (全13頁)

(21) 出願番号 特願平8-100835
(22) 出願日 平成 8 年 4 月23日 (1996. 4. 23)
(65) 公開番号 特開平9-289319
(43) 公開日 平成 9 年11月 4 日 (1997. 11. 4)
審査請求日 平成11年 6 月15日 (1999. 6. 15)

(73) 特許権者 000005832
松下電工株式会社
大阪府門真市大字門真1048番地
(72) 発明者 早崎 嘉城
大阪府門真市大字門真1048番地松下電工
株式会社内
(72) 発明者 鈴木 正彦
大阪府門真市大字門真1048番地松下電工
株式会社内
(72) 発明者 前田 光英
大阪府門真市大字門真1048番地松下電工
株式会社内
(74) 代理人 100087767
弁理士 西川 恵清 (外 1 名)

審査官 河本 充雄

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

1

(57) 【特許請求の範囲】

【請求項 1】 絶縁層上に形成された半導体層と、前記半導体層の主表面側で前記半導体層内に離間して形成された第 2 導電形のウェル領域及び第 1 導電形のドレイン領域と、前記ウェル領域内に形成された第 1 導電形のソース領域と、前記ソース領域と前記ドレイン領域との間に介在する前記ウェル領域上にゲート絶縁膜を介して形成された絶縁ゲートと、前記ドレイン領域上に形成されたドレイン電極と、前記ソース領域上に形成されたソース電極と、前記絶縁ゲートに接続されたゲート電極とを備えた半導体装置であって、前記半導体層の主表面から前記半導体層の内部に形成された絶縁領域が前記ソース領域における前記ドレイン領域側とは反対側から前記ドレイン領域端まで延設され、前記ドレイン電極に電気的に接続されたドレイン電極配線が前記絶縁領域上に形成

2

されて成ることを特徴とする半導体装置。

【請求項 2】 ソース領域及びウェル領域及び絶縁ゲートが絶縁領域を除いて前記ドレイン領域の周囲を囲むように形成されて成ることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 絶縁領域は、半導体層の主表面から半導体層内の途中まで形成されて成ることを特徴とする請求項 2 記載の半導体装置。

10 【請求項 4】 絶縁ゲートが絶縁領域に所定長さだけ延設されて成ることを特徴とする請求項 2 又は請求項 3 記載の半導体装置。

【請求項 5】 絶縁層上に形成された半導体層と、前記半導体層の主表面側で前記半導体層内に離間して形成された第 2 導電形のウェル領域及び第 1 導電形のドレイン領域と、前記ウェル領域内に形成された第 1 導電形のソ

ース領域と、前記ソース領域と前記ドレイン領域との間に介在する前記ウェル領域上にゲート絶縁膜を介して形成された絶縁ゲートと、前記ドレイン領域上に形成されたドレイン電極と、前記ソース領域上に形成されたソース電極と、前記絶縁ゲートに接続されたゲート電極と、前記ウェル領域の上方に形成された絶縁膜と、前記各領域を外部素子と素子分離するために前記絶縁層に達する深さまで形成された素子分離領域とを備えた半導体装置であって、前記半導体層における前記ウェル領域と前記ドレイン領域との間の部位に絶縁領域が形成され、前記ドレイン電極に電気的に接続されたドレイン電極配線が前記絶縁領域上と前記絶縁膜上と前記素子分離領域上とに跨って形成されて成ることを特徴とする半導体装置。

【請求項 6】 絶縁層上に形成された半導体層と、前記半導体層の主表面側で前記半導体層内に離間して形成された第 2 導電形のウェル領域及び第 1 導電形のドレイン領域と、前記ウェル領域内に形成された第 1 導電形のソース領域と、前記ソース領域と前記ドレイン領域との間に介在する前記ウェル領域上にゲート絶縁膜を介して形成された絶縁ゲートと、前記ドレイン領域上に形成されたドレイン電極と、前記ソース領域上に形成されたソース電極と、前記絶縁ゲートに接続されたゲート電極と、前記各領域を外部素子と素子分離するために前記絶縁層に達する深さまで形成された素子分離領域と、前記素子分離領域から前記ドレイン領域端まで延設され前記素子分離領域よりも薄く形成された絶縁領域とを備えた半導体装置の製造方法であって、前記素子分離領域に対応する開口部が形成され且つ前記絶縁領域に対応しマスク部と窓部が所定間隔で形成されたフォトリソマスクを使用して LOCOS 法によって前記素子分離領域が前記絶縁層に達するまで半導体層の酸化を行う工程を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関し、特に電力変換用集積回路に用いられるパワー半導体装置に関するものである。

【0002】

【従来の技術】近年、パワー IC の高耐圧化に伴い、素子間を絶縁層によって完全に分離できる SOI (Silicon on Insulator) 構造を利用したパワー半導体装置が注目されている。従来、この種のパワー半導体装置のひとつとして、図 18 に示すような横型 2 重拡散 MOS 電界効果トランジスタ、所謂 LDMOSFET (Lateral Double Diffused MOSFET) が知られている。ここで、図 18 (a) は LDMOSFET の平面図を、図 18 (b) は図 18 (a) の X-X' 断面図を、図 18 (c) は図 18 (a) の Y-Y' 断面図を示す。

【0003】この LDMOSFET は、単結晶シリコン

からなる半導体基板 1 の一表面上に絶縁層 (所謂埋め込み酸化膜) 2 を介して N 形の半導体層 3 が形成され、半導体層 3 の主表面側で半導体層 3 内に、N 形 (N' 形) のドレイン領域 4 と P 形のウェル領域 5 とが離間して形成され、ウェル領域 5 内の主表面側に N 形 (N' 形) のソース領域 6 が形成されている。ここで、ドレイン領域 4 とウェル領域 5 とは所定の耐圧を保持できるような距離だけ離間して形成されている。ウェル領域 5 上には、ドレイン領域 4 とソース領域 6 との間で半導体層 3 内を流れる主電流を制御する (ウェル領域 5 の主表面側に所謂チャンネルを形成するための) 絶縁ゲート 7 が絶縁膜 8 を介して形成され、ドレイン電極 4 上にはドレイン電極 41 が、ソース領域 6 上にはソース電極 (図示せず) が、絶縁ゲート 7 にはゲート電極 (図示せず) が、それぞれ形成されている。ここで、ドレイン領域 4 の平面形状は外周が略平行な 2 つの直線部を有する長円状の形状 (図 18 (a) に示すドレイン電極 41 の平面形状と同様の形状) に形成され、ソース領域 6 はドレイン領域 4 との距離が略一定になるように、2 つの直線部と直線部同士を繋ぐ 2 つの円弧部とを有する形状に形成されている (以下、このような LDMOSFET を *racetrack* 形状の LDMOSFET とも称す)。

【0004】ところで、上記 *racetrack* 形状の LDMOSFET では、大電流を流すためには所謂ゲート幅を大きくする必要があり、一般的には図 19 に示すように *racetrack* 形状の LDMOSFET を複数 (n) 個隣接して配置して、各 LDMOSFET のドレイン電極 41、～41、ソース電極、ゲート電極同士を全て半導体層 3 の主表面で接続し、同時に動作する一群の LDMOSFET を構成したり、図 20 に示すように、平面形状が略楕形の LDMOSFET を構成したりしている。

【0005】ここで、図 20 に示す構造では、ドレイン、ソース、ゲートの各領域がそれぞれ連続して形成されているので、配線に特別な配慮が不要であるという利点を有するが、所定の耐圧 (例えば、所謂 RESURF 条件で決まる耐圧) を維持するためには各曲線部の曲率を適正に設計する必要があり、このために (素子が形成されない) 不要な領域 11 の面積が大きくなり、面積効率が悪いという欠点がある。また、素子形成領域 (所謂分離島) が、ソース領域が内接する四角形状の形状に形成されているから、不要な領域 11 が存在することによって半導体層 3 からなる素子形成領域の面積が大きくなり、絶縁層 2 を介して半導体層 3 と半導体基板 1 との間に形成される寄生容量が大きくなって、その結果、LDMOSFET のスイッチング時間が長くなってしまふ。これに対し、図 19 に示す構造は、各 *racetrack* 形状の LDMOSFET 間では耐圧を維持するための曲率を考慮する必要がなく、不要な領域が生じないので、面積効率が良く且つスイッチング時間が短い LDM

OSFETを構成することができる。

【0006】

【発明が解決しようとする課題】ところで、図19に示す構造では、各LDMOSFETの全ての電極を半導体層3の主表面上で並列配線する必要があり、また、複数のパワーLDMOSFETを用いた回路ブロックを1チップに集積する構造でも、各LDMOSFETの全ての電極を半導体層3の主表面上で配線する必要がある。このためrace track形状のLDMOSFETの中心電極（この場合はドレイン電極41）に電気的に接続されたドレイン電極配線41aが外部まで（つまり、ソース領域6及びウェル領域5上を横切るように）延設される。ここで、ドレイン電極41とドレイン電極配線41aとは一体形成している。

【0007】しかしながら、図18に示すrace track形状のLDMOSFETは、所定の耐圧が得られるように、半導体層3の寸法や濃度が設計されている

（1つの設計基準として例えばRESURF条件を満足するように設計されている）にもかかわらず、半導体層3の主表面上に絶縁膜8を介してドレイン電極配線41aを形成すると、ドレイン電極配線41a下方では半導体層3内部のポテンシャルがドレイン電極配線41aのポテンシャルに引かれ、その結果、図21に一点鎖線で示すように半導体層3の主表面でのポテンシャルがソース領域6側に密集するようになり、絶縁ゲート7下方のウェル領域5近傍で電界集中が発生して耐圧を低下させるという問題があった。

【0008】本発明は上記事由に鑑みて為されたものであり、その目的は、電極配線を形成した場合の電界集中による耐圧低下が少なく高耐圧化が可能な半導体装置及びその製造方法を提供することにある。

【0009】

【課題を解決するための手段】請求項1の発明は、上記目的を達成するために、絶縁層上に形成された半導体層と、前記半導体層の主表面側で前記半導体層内に離間して形成された第2導電形のウェル領域及び第1導電形のドレイン領域と、前記ウェル領域内に形成された第1導電形のソース領域と、前記ソース領域と前記ドレイン領域との間に介在する前記ウェル領域上にゲート絶縁膜を介して形成された絶縁ゲートと、前記ドレイン領域上に形成されたドレイン電極と、前記ソース領域上に形成されたソース電極と、前記絶縁ゲートに接続されたゲート電極とを備えた半導体装置であって、前記半導体層の主表面から前記半導体層の内部に形成された絶縁領域が前記ソース領域における前記ドレイン領域側とは反対側から前記ドレイン領域端まで延設され、前記ドレイン電極に電気的に接続されたドレイン電極配線が前記絶縁領域上に形成されて成ることを特徴とするものであり、ドレイン電極配線のポテンシャルが半導体層内

のポテンシャルの分布を乱すことがなく、ドレイン電極配線の影響による耐圧の低下を抑制することができる。

【0010】請求項2の発明は、請求項1の発明において、ソース領域及びウェル領域及び絶縁ゲートが絶縁領域を除いて前記ドレイン領域の周囲を囲むように形成されているので、ドレイン電極配線下に絶縁ゲート及びウェル領域が存在せず、ドレイン電極配線のポテンシャルの影響によるウェル領域近傍での電界集中が起きなくなり、耐圧低下を抑制することができる。

【0011】請求項3の発明は、請求項2の発明において、絶縁領域は、半導体層の主表面から半導体層内の途中まで形成されているので、ソースのポテンシャルを絶縁領域と絶縁層との間の半導体層内で連結できるから、ソース基準電位を確実にターミネートでき、また、ドレイン電極配線下は絶縁領域が形成されているから電界集中による耐圧の低下を抑制することができる。

【0012】請求項4の発明は、請求項2又は請求項3の発明において、絶縁ゲートが絶縁領域に所定長さだけ延設されているので、絶縁ゲートがフィールドプレートとして働き、切断されたソース領域のポテンシャルを容易に連結できるので、ソース基準電位を確実にターミネートできるとともに、ドレイン電極配線下が絶縁領域になっているために電界集中による耐圧低下を抑制することができる。

【0013】請求項5の発明は、絶縁層上に形成された半導体層と、前記半導体層の主表面側で前記半導体層内に離間して形成された第2導電形のウェル領域及び第1導電形のドレイン領域と、前記ウェル領域内に形成された第1導電形のソース領域と、前記ソース領域と前記ドレイン領域との間に介在する前記ウェル領域上にゲート絶縁膜を介して形成された絶縁ゲートと、前記ドレイン領域上に形成されたドレイン電極と、前記ソース領域上に形成されたソース電極と、前記絶縁ゲートに接続されたゲート電極と、前記ウェル領域の上方に形成された絶縁膜と、前記各領域を外部素子と素子分離するために前記絶縁層に達する深さまで形成された素子分離領域とを備えた半導体装置であって、前記半導体層における前記ウェル領域と前記ドレイン領域との間の部位に絶縁領域が形成され、前記ドレイン電極に電気的に接続されたドレイン電極配線が前記絶縁領域上と前記絶縁膜上と前記素子分離領域上とに跨って形成されて成ることを特徴とするものであり、ウェル領域が絶縁領域によって切断されておらず、ソースのポテンシャルを連続的に半導体層で連結できるのでソース基準電位をしっかりとターミネートでき、また、ドレイン電極下は絶縁領域および絶縁膜および素子分離領域が形成されているから電界集中による耐圧の低下を抑制することができる。

【0014】請求項6の発明は、絶縁層上に形成された半導体層と、前記半導体層の主表面側で前記半導体層内に離間して形成された第2導電形のウェル領域及び第1

導電形のドレイン領域と、前記ウェル領域内に形成された第1導電形のソース領域と、前記ソース領域と前記ドレイン領域との間に介在する前記ウェル領域上にゲート絶縁膜を介して形成された絶縁ゲートと、前記ドレイン領域上に形成されたドレイン電極と、前記ソース領域上に形成されたソース電極と、前記絶縁ゲートに接続されたゲート電極と、前記各領域を外部素子と素子分離するために前記絶縁層に達する深さまで形成された素子分離領域と、前記素子分離領域から前記ドレイン領域端まで延設され前記素子分離領域よりも薄く形成された絶縁領域とを備えた半導体装置の製造方法であって、前記素子分離領域に対応する開口部が形成され且つ前記絶縁領域に対応しマスク部と窓部が所定間隔で形成されたフォトマスクを使用してLOCOS法によって前記素子分離領域が前記絶縁層に達するまで半導体層の酸化を行う工程を有することを特徴とするものであり、絶縁領域では酸化時に供給される酸素の量が素子分離領域よりも少ないので、それぞれ厚さの違う絶縁領域と素子分離領域とを同時に形成することができ、マスク枚数の削減、工程の短縮化、低コスト化が可能となる。

【0015】

【発明の実施の形態】以下、本発明の実施形態を図面に基づいて説明する。

(実施形態1) 図1(a)に本実施形態のLDMOSFETの平面図を、図1(b)に図(a)のX-X'断面図を、図1(c)に図1(a)のY-Y'断面図を示す。

【0016】本実施形態のLDMOSFETは、図18で説明した従来のLDMOSFETと同様に、単結晶シリコンからなる半導体基板1の一表面上に絶縁層(所謂埋め込み酸化膜)2を介してN形シリコンからなる半導体層3が形成され、半導体層3の主表面側で半導体層3内に、N形(N'形)のドレイン領域4とP形のウェル領域5とが離間して形成され、ウェル領域5内の主表面側にN形(N'形)のソース領域6が形成されている。ここで、ドレイン領域4とウェル領域5とは所定の耐圧を保持できるような距離だけ離間して形成されている。ウェル領域5上にはドレイン領域4とソース領域6との間で半導体層3内を流れる主電流を制御する(ウェル領域5の主表面側に所謂チャネルを形成するための)絶縁ゲート7が絶縁膜8を介して形成され、ドレイン領域4上にはドレイン電極41が、ソース領域6上にはソース電極(図示せず)が、絶縁ゲート7上にはゲート電極(図示せず)が、それぞれ形成されている。

【0017】ここで、ドレイン領域4の平面形状は外周が略平行な2つの直線部を有する長円状の形状に形成され、ソース領域6及びウェル領域5はドレイン領域4との距離が略一定になるようにドレイン領域4の周囲の一部を除いて形成されている。すなわち、本LDMOSFETでは、r a c e t r a c k形状の一方の円弧部にお

いてドレイン電極配線41aの下方周辺に、絶縁層2まで達する厚さの絶縁領域13が形成され、この部分でソース領域6及びウェル領域5が切断されている。本LDMOSFETでは半導体層3の厚さが薄く、絶縁領域13はLOCOS(Local Oxidation of Silicon)法により形成されたシリコン酸化膜からなり、素子分離のために半導体層3の主表面から絶縁層2の深さまで形成されたシリコン酸化膜からなる素子分離領域12と一体形成されている。

10 【0018】ところで、図18で示した従来のLDMOSFETにおいては、ドレイン電極配線41aを絶縁膜8を介して半導体層3の上に配線したため、ドレイン電極配線41aのポテンシャルが絶縁膜8を介してドレイン電極配線41a下方周辺の半導体層3に影響を与え、半導体層3のポテンシャル分布が乱れて電界集中が発生し、その結果、耐圧が低下するという問題があった。

20 【0019】しかしながら、本LDMOSFETでは、ドレイン電極配線41aの下部に絶縁領域13が形成されているので、半導体層3のポテンシャル分布は図2に一点鎖線で示すようになり、従来例で説明した電界集中は起こらない。すなわち、本LDMOSFETでは、半導体層3内のポテンシャルがドレイン電極配線41aのポテンシャルの影響を受けにくくなり、ドレイン電極配線41下方での電界集中が抑制されるので、電界集中による耐圧の低下を抑制することができるのである。

【0020】(実施形態2)

図3(a)に本実施形態のLDMOSFETの平面図を、図3(b)に図3(a)のX-X'断面図を、図3(c)に図3(a)のY-Y'断面図を示す。本実施形態のLDMOSFETの基本構成は実施形態1と略同じであり、その特徴とするところは、ドレイン電極配線41a及び絶縁領域13がr a c e t r a c k形状の直線部分と略垂直になるように形成されていることにある。

30 【0021】ところで、実施形態1のLDMOSFETでは、半導体層3の主表面においてウェル領域5と絶縁領域13とのなす角度が鋭角になり、ウェル領域5から伸びる空乏層(ポテンシャル分布)と絶縁領域13とのなす角度も鋭角となるために、絶縁領域13と半導体層3との界面の電界が半導体層3内よりも高くなり、この界面近傍で電界集中が生じ耐圧が若干低下する。

50 【0022】これに対し、本LDMOSFETでは、半導体層3の主表面内においてウェル領域5と絶縁領域13とがなす角度が略直角となり、この部分での電界分布は半導体層3内の電界分布と略等しくなる。その結果、絶縁領域13と半導体層3との界面での電界集中が緩和されるので、ドレイン電極配線41aのポテンシャルによって生じる半導体層3内部の電界集中に伴う耐圧低下を防止するとともに、半導体層3(半導体領域)と絶縁領域13との界面の電界集中により生じる耐圧低下を抑

制することができるものである。

【0023】(実施形態3)

図4(a)に本実施形態のLDMOSFETの平面図を、図4(b)に図4(a)のX-X'断面図を、図4(c)に図4(a)のY-Y'断面図を示す。本実施形態のLDMOSFETの基本構成は実施形態1と略同じであり、その特徴とするところは、素子分離領域12と同時形成された絶縁領域13が、ウェル領域5、ソース領域6、絶縁ゲート7を切断しないようにドレイン領域4の円弧部まで延設され、その絶縁領域13の上にドレイン電極配線41aが形成されていることにある。

【0024】ところで、実施形態1のLDMOSFETでは、絶縁領域13上に配線されたドレイン電極配線41の直下での電界集中が抑制され従来例よりも耐圧の低下が少なくなるものの、ウェル領域5、ソース領域6、絶縁ゲート7が絶縁領域13の存在する部分で不連続となるため、分断されたソースのポテンシャルが絶縁領域13の内部で結合しきれず、絶縁領域13とウェル領域5との界面近傍に電界が集中し、その結果、ドレイン電極配線41aが存在しない場合よりも耐圧が低下してしまう。

【0025】これに対し、本LDMOSFETでは、ウェル領域5の不連続点がなくなるので、ソースのポテンシャルはウェル領域5中で連続的に結合しており、図5に一点鎖線で示すようなポテンシャル分布になり、絶縁領域13とウェル領域5との界面近傍での電界集中が生じなくなる。また、ドレイン電極41による電界集中も絶縁領域13中で生じるため、臨界電界が半導体層3内よりも高く、ドレイン電極配線41aを形成しない場合と略同じ耐圧(例えば、所謂RESURF条件により最適化された耐圧)が得られる。

【0026】(実施形態4)

図6(a)に本実施形態のLDMOSFETの平面図を、図6(b)に図6(a)のX-X'断面図を、図6(c)に図6(a)のY-Y'断面図を示す。本実施形態のLDMOSFETの基本構成は実施形態3と略同じであり、その特徴とするところは、素子分離領域12と同時形成された絶縁領域13がrace track形状の直線部分において、ウェル領域5、ソース領域6、絶縁ゲート7を切断しないようにドレイン領域4の直線部まで延設され、その絶縁領域13の上にドレイン電極配線41aが形成されていることにある。

【0027】ところで、実施形態3のLDMOSFETでは、半導体層3の主表面においてウェル領域5と絶縁領域13とのなす角度が鋭角となり、ウェル領域5から伸びる空乏層(ポテンシャル分布)と絶縁領域13とのなす角度も鋭角となるために、絶縁領域13と半導体層3との界面の電界が半導体層3内よりも高くなり、この界面近傍で電界集中が生じ耐圧が若干低下する。

【0028】これに対し、本LDMOSFETでは、半

導体層3の主表面内においてウェル領域5と絶縁領域13とがなす角度が略直角となり、この部分での電界分布は半導体層3内の電界分布と略等しくなる。その結果、絶縁領域13と半導体層3との界面での電界集中が緩和されるので、ドレイン電極配線41aのポテンシャルによって生じる半導体層3内部の電界集中に伴う耐圧低下を防止するとともに、半導体層3(半導体領域)と絶縁領域13との界面の電界集中により生じる耐圧低下を抑制することができるものである。

【0029】(実施形態5)

図7(a)に本実施形態のLDMOSFETの平面図を、図7(b)に図7(a)のX-X'断面図を、図7(c)に図7(a)のY-Y'断面図を示す。本実施形態のLDMOSFETの基本構成は実施形態1と略同じであり、その特徴とするところは、絶縁領域13が絶縁層2に達しないように半導体層3の所定深さまで形成され、その絶縁領域13の上にドレイン電極配線41aの上に形成されていることにある。

【0030】ところで、実施形態1のLDMOSFETでは、絶縁領域13上に配線されたドレイン電極配線41の直下での電界集中が抑制され従来例よりも耐圧の低下が少なくなるものの、ウェル領域5、ソース領域6、絶縁ゲート7が絶縁領域13の存在する部分で不連続となるため、分断されたソースのポテンシャルが絶縁領域13の内部で結合しきれず、絶縁領域13とウェル領域5との界面近傍に電界が集中し、その結果、ドレイン電極配線41aが存在しない場合よりも耐圧が低下してしまう。

【0031】しかしながら、本LDMOSFETでは、ウェル領域5、ソース領域6、絶縁ゲート7が絶縁領域13の部分で不連続になっているが、絶縁領域13と絶縁層2との間に半導体層3からなる間隙部18が形成されているので、切断されたソース領域6の両端は間隙部18を介して隣接することになり、ソースのポテンシャルが間隙部18中で結合するので、半導体層3のポテンシャル分布が図8に一点鎖線で示すようになり、ウェル領域5と絶縁領域13との界面近傍に生じる電界集中の発生が抑制される。また、ドレイン電極配線41aによる電界集中は絶縁領域13中で生じるため、臨界電界が半導体層3内よりも高く、ドレイン電極配線41aを形成しない場合と略同じ耐圧(例えば、所謂RESURF条件により最適化された耐圧)が得られる。

【0032】(実施形態6)

図9(a)に本実施形態のLDMOSFETの平面図を、図9(b)に図9(a)のX-X'断面図を、図9(c)に図9(a)のY-Y'断面図を示す。本実施形態のLDMOSFETの基本構成は実施形態5と略同じであり、その特徴とするところは、絶縁領域13がrace track形状の直線部分と略垂直になるように形成されていることにある。ここで、絶縁領域13と絶縁

層2との間には実施形態5と同様に半導体層3からなる間隙部18が存在している。

【0033】ところで、実施形態5のLDMOSFETでは、半導体層3の主表面においてウェル領域5と絶縁領域13とのなす角度が鋭角となり、ウェル領域5から伸びる空乏層（ポテンシャル分布）と絶縁領域13とのなす角度も鋭角となるために、絶縁領域13と半導体層3との界面の電界が半導体層3内よりも高くなり、この界面近傍で電界集中が生じ耐圧が若干低下する。

【0034】これに対し、本LDMOSFETでは、半導体層3の主表面内においてウェル領域5と絶縁領域13とがなす角度が略直角となり、この部分での電界分布は半導体層3内の電界分布と略等しくなる。その結果、絶縁領域13と半導体層3との界面での電界集中が緩和されるので、ドレイン電極配線41aのポテンシャルによって生じる半導体層3内部の電界集中に伴う耐圧低下を防止するとともに、半導体層3（半導体領域）と絶縁領域13との界面の電界集中により生じる耐圧低下を抑制することができるものである。

【0035】（実施形態7）本実施形態は、実施形態5、実施形態6のLDMOSFETの製造方法に関し、図10に示すような絶縁層2に達する深さまで形成された素子分離領域12と、絶縁層2に達せず半導体層3の途中まで形成された絶縁領域13とを同時に形成する方法について説明する。

【0036】本実施形態の製造方法では、LOCOS工程におけるマスクとして図12(a)に示すようなフォトマスク20を使用する。図12(a)、(b)において22はマスク部であり、21が窓部である。マスク部22において絶縁領域13を形成するための部分は、図12(a)中のDの部分のようにマスク部22'と窓部21'とが平行に所定間隔で形成され、素子分離領域12を形成するための窓部21に比べて半導体層3への酸素供給量が少なくなるようにしてある。このため、LOCOS酸化工程の酸化時間を適当に選ぶことにより絶縁領域13と素子分離領域12とを同時形成できるのである。ここで、図中Dの部分の窓部21'の窓幅 H_2 とマスク部22'のマスク幅 H_1 とは、各窓部21の下に形成される酸化膜（つまり、絶縁領域13）同士が繋がるように設計してある。

【0037】例えば、厚さ $1\mu\text{m}$ の半導体層3をパイロジェニック酸化法にて完全に酸化する場合、マージンを含めて 1100°C で20時間程度の時間が必要である。この場合、素子分離領域12を形成するための領域では窓部21の窓幅を、前記の酸化条件でLOCOS酸化膜が絶縁層2に到達するために十分な酸素供給ができる窓幅（例えば $8\mu\text{m}$ 以上）にし、絶縁領域13を形成するため領域では、半導体層3への酸素供給を制限してLOCOS酸化膜が半導体層3の途中で止まるような窓幅 H_1 （例えば、 $4\mu\text{m}$ ）にし、マスク部22'のマスク幅

H_1 を、隣接するLOCOS酸化膜が繋がる幅（例えば $1.5\mu\text{m}$ ）にしたフォトマスク20を使用することによって絶縁領域13と素子分離領域12を形成することができる。ここで、絶縁領域13の断面形状は、図11に示すようになり、マスク部22'で覆われていた部分では絶縁領域13の厚さが薄くなっている。

【0038】以上説明したように、本実施形態の製造方法によれば、厚さのことなるLOCOS酸化膜を同時に形成することができるため、フォトマスク枚数の削減、工程の短縮化、低コスト化が可能となる。

（実施形態8）

図13(a)に本実施形態のLDMOSFETの平面図を、図13(b)に図13(a)のX-X'断面図を、図13(c)に図13(a)のY-Y'断面図を示す。

【0039】本LDMOSFETの基本構成は実施形態5と略同じであり、その特徴とするところは、絶縁ゲート7が、ドレイン電極配線41a下の絶縁領域13に所定の長さだけオーバーラップするように延設されていることにある。本LDMOSFETでは、絶縁領域13に延設された絶縁ゲート7が所謂フィールドプレートとして働き、この絶縁ゲート7のフィールドプレート効果によって、より効果的にソースのポテンシャルを間隙部18内で連結できるのでソース基準電位をしっかりとターミネートできるとともに、ドレイン電極配線41aによる電界集中も絶縁領域13中で生じるために、臨界電界が半導体層3内よりも高く、さらに耐圧が向上するのである（例えば、耐圧が500ボルト程度のLDMOSFETの場合、絶縁ゲート7を絶縁領域13に $5\mu\text{m}$ 程度延設されることによって50ボルト程度耐圧が向上する）。

【0040】（実施形態9）

図15(a)に本実施形態のLDMOSFETの平面図を、図15(b)に図15(a)のX-X'断面図を、図15(c)に図15(a)のY-Y'断面図を示す。本LDMOSFETの基本構成は実施形態8と略同じであり、その特徴とするところは、絶縁領域13がrace track形状の直線部分と略垂直になるように形成され、その上にドレイン電極配線41aが形成されていることにある。ここで、絶縁ゲート7は実施形態8と同様に、絶縁領域13に所定の長さだけオーバーラップするように延設されている。

【0041】ところで、実施形態8のLDMOSFETでは、半導体層3の主表面においてウェル領域5と絶縁領域13とのなす角度が鋭角となり、ウェル領域5から伸びる空乏層（ポテンシャル分布）と絶縁領域13とのなす角度も鋭角となるために、絶縁領域13と半導体層3との界面の電界が半導体層3内よりも高くなり、この界面近傍で電界集中が生じ耐圧が若干低下する。

【0042】これに対し、本LDMOSFETでは、半導体層3の主表面内においてウェル領域5と絶縁領域1

3とがなす角度が略直角となり、この部分での電界分布は半導体層3内の電界分布と略等しくなる。その結果、絶縁領域13と半導体層3との界面での電界集中が緩和されるので、ドレイン電極配線41aのポテンシャルによって生じる半導体層3内部の電界集中に伴う耐圧低下を防止するとともに、半導体層3（半導体領域）と絶縁領域13との界面の電界集中により生じる耐圧低下を抑制することができるものである。

【0043】（実施形態10）

図16(a)に本実施形態のLDMOSFETの平面図を、図16(b)に図16(a)のX-X'断面図を、図16(c)に図16(a)のY-Y'断面図を示す。本LDMOSFETの基本構成は実施形態1と略同じであり、絶縁ゲート7が、絶縁領域13に所定の長さ（例えば、5μm）だけオーバーラップするように延設されていることにある。

【0044】このため、本LDMOSFETでは、絶縁領域13によって分断されたソース領域6間に半導体層3からなる領域が存在しなくても、ソースのポテンシャルが絶縁ゲートのフィールドプレート効果によって、より効果的にソースのポテンシャルを絶縁領域13内で連結できるので、ソース基準電位をよりしっかりとターミネートできるとともに、ドレイン電極配線41aによる電界集中も絶縁領域13中で生じるため、臨界電界が半導体層3内よりも高く、さらに耐圧の向上ができる（例えば、耐圧が500ボルト程度のLDMOSFETの場合、絶縁ゲート7を絶縁領域13に5μm程度延設されることによって50ボルト程度耐圧が向上する）。

【0045】（実施形態11）

図17(a)に本実施形態のLDMOSFETの平面図を、図17(b)に図17(a)のX-X'断面図を、図17(c)に図17(a)のY-Y'断面図を示す。本LDMOSFETの基本構成は実施形態10と略同じであり、その特徴とするところは、絶縁領域13がrace track形状の直線部分と略垂直になるように形成され、その上にドレイン電極配線41aが形成されていることにある。ここで、絶縁ゲート7は実施形態10と同様に、絶縁領域13に所定の長さだけオーバーラップするように延設されている。

【0046】ところで、実施形態10のLDMOSFETでは、半導体層3の主表面においてウェル領域5と絶縁領域13とのなす角度が鋭角となり、ウェル領域5から伸びる空乏層（ポテンシャル分布）と絶縁領域13とのなす角度も鋭角となるために、絶縁領域13と半導体層3との界面の電界が半導体層3内よりも高くなり、この界面近傍で電界集中が生じ耐圧が若干低下する。

【0047】これに対し、本LDMOSFETでは、半導体層3の主表面内においてウェル領域5と絶縁領域13とがなす角度が略直角となり、この部分での電界分布は半導体層3内の電界分布と略等しくなる。その結果、

絶縁領域13と半導体層3との界面での電界集中が緩和されるので、ドレイン電極配線41aのポテンシャルによって生じる半導体層3内部の電界集中に伴う耐圧低下を防止するとともに、半導体層3（半導体領域）と絶縁領域13との界面の電界集中により生じる耐圧低下を抑制することができるものである。

【0048】

【発明の効果】請求項1の発明は、半導体層の主表面から前記半導体層の内部に形成された絶縁領域がソース領域におけるドレイン領域側とは反対側から前記ドレイン領域端まで延設され、ドレイン電極に電気的に接続されたドレイン電極配線が前記絶縁領域上に形成されているので、ドレイン電極配線下の半導体層には絶縁領域が形成されていることによってドレイン電極配線のポテンシャルが半導体層内のポテンシャルの分布を乱すことがなく、ドレイン電極配線の影響による耐圧の低下を抑制することができるという効果がある。

【0049】請求項2の発明は、請求項1の発明において、ソース領域及びウェル領域及び絶縁ゲートが絶縁領域を除いて前記ドレイン領域の周囲を囲むように形成されているので、ドレイン電極配線下に絶縁ゲート及びウェル領域が存在せず、ドレイン電極配線のポテンシャルの影響によるウェル領域近傍での電界集中が起きなくなり、耐圧低下を抑制することができるという効果がある。

【0050】請求項3の発明は、請求項2の発明において、絶縁領域が、半導体層の主表面から半導体層内の途中まで形成されているので、ソースのポテンシャルを絶縁領域と絶縁層との間の半導体層内で連結できるから、ソース基準電位を確実にターミネートでき、また、ドレイン電極配線下は絶縁領域が形成されているから電界集中による耐圧の低下を抑制することができるという効果がある。

【0051】請求項4の発明は、請求項2又は請求項3の発明において、絶縁ゲートが絶縁領域に所定長さだけ延設されているので、絶縁ゲートがフィールドプレートとして働き、切断されたソース領域のポテンシャルを容易に連結できるから、ソース基準電位を確実にターミネートできるとともに、ドレイン電極配線下が絶縁領域になっているために電界集中による耐圧低下を抑制することができるという効果がある。

【0052】請求項5の発明は、絶縁層上に形成された半導体層と、前記半導体層の主表面側で前記半導体層内に離間して形成された第2導電形のウェル領域及び第1導電形のドレイン領域と、前記ウェル領域内に形成された第1導電形のソース領域と、前記ソース領域と前記ドレイン領域との間に介在する前記ウェル領域上にゲート絶縁膜を介して形成された絶縁ゲートと、前記ドレイン領域上に形成されたドレイン電極と、前記ソース領域上に形成されたソース電極と、前記絶縁ゲートに接続され

たゲート電極と、前記ウェル領域の上方に形成された絶縁膜と、前記各領域を外部素子と素子分離するために前記絶縁層に達する深さまで形成された素子分離領域とを備えた半導体装置であって、前記半導体層における前記ウェル領域と前記ドレイン領域との間の部位に絶縁領域が形成され、前記ドレイン電極に電氣的に接続されたドレイン電極配線が前記絶縁領域上と前記絶縁膜上と前記素子分離領域上とに跨って形成されているものであり、ウェル領域が絶縁領域によって切断されておらず、ソースのポテンシャルを連続的に半導体層で連結できるのでソース基準電位をしっかりとターミネートでき、また、ドレイン電極下は絶縁領域および絶縁膜および素子分離領域が形成されているから電界集中による耐圧の低下を抑制することができるという効果がある。

【0053】請求項6の発明は、絶縁層上に形成された半導体層と、前記半導体層の主表面側で前記半導体層内に離間して形成された第2導電形のウェル領域及び第1導電形のドレイン領域と、前記ウェル領域内に形成された第1導電形のソース領域と、前記ソース領域と前記ドレイン領域との間に介在する前記ウェル領域上にゲート絶縁膜を介して形成された絶縁ゲートと、前記ドレイン領域上に形成されたドレイン電極と、前記ソース領域上に形成されたソース電極と、前記絶縁ゲートに接続されたゲート電極と、前記各領域を外部素子と素子分離するために前記絶縁層に達する深さまで形成された素子分離領域と、前記素子分離領域から前記ドレイン領域端まで延設され前記素子分離領域よりも薄く形成された絶縁領域とを備えた半導体装置の製造方法であって、前記素子分離領域に対応する開口部が形成され且つ前記絶縁領域に対応しマスク部と窓部が所定間隔で形成されたフォトマスクを使用してLOCOS法によって前記素子分離領域が前記絶縁層に達するまで半導体層の酸化を行う工程を有することを特徴とするものであり、絶縁領域では酸化時に供給される酸素の量が素子分離領域よりも少ないので、それぞれ厚さの違う絶縁領域と素子分離領域とを同時に形成することができ、マスク枚数の削減、工程の短縮化、低コスト化が可能となるという効果がある。

【図面の簡単な説明】

【図1】(a)は実施形態1を示す平面図であり、(b)は(a)のX-X'断面図、(c)は(a)のY-Y'断面図である。

【図2】(a)は同上の要部Aのポテンシャル分布、(b)は同上の要部Bのポテンシャル分布の説明図である。

【図3】(a)は実施形態2を示す平面図であり、(b)は(a)のX-X'断面図、(c)は(a)のY-Y'断面図である。

【図4】(a)は実施形態3を示す平面図であり、(b)は(a)のX-X'断面図、(c)は(a)のY-Y'断面図である。

【図5】同上の要部Aのポテンシャル分布の説明図である。

【図6】(a)は実施形態4を示す平面図であり、(b)は(a)のX-X'断面図、(c)は(a)のY-Y'断面図である。

【図7】(a)は実施形態5を示す平面図であり、(b)は(a)のX-X'断面図、(c)は(a)のY-Y'断面図である。

【図8】(a)は同上の要部Aのポテンシャル分布、(b)は同上の要部Bのポテンシャル分布の説明図である。

【図9】(a)は実施形態6を示す平面図であり、(b)は(a)のX-X'断面図、(c)は(a)のY-Y'断面図である。

【図10】(a)は実施形態7の半導体装置の平面図であり、(b)は(a)のX-X'断面図、(c)は(a)のY-Y'断面図である。

【図11】同上の要部Aの拡大図である。

【図12】(a)は同上の製造に使用するフォトマスクの説明図であり、(b)は(a)の要部Dの拡大図である。

【図13】(a)は実施形態8を示す平面図であり、(b)は(a)のX-X'断面図、(c)は(a)のY-Y'断面図である。

【図14】(a)は同上の要部Aのポテンシャル分布、(b)は同上の要部Bのポテンシャル分布の説明図である。

【図15】(a)は実施形態9を示す平面図であり、(b)は(a)のX-X'断面図、(c)は(a)のY-Y'断面図である。

【図16】(a)は実施形態10を示す平面図であり、(b)は(a)のX-X'断面図、(c)は(a)のY-Y'断面図である。

【図17】(a)は実施形態11を示す平面図であり、(b)は(a)のX-X'断面図、(c)は(a)のY-Y'断面図である。

【図18】(a)は従来例を示す平面図であり、(b)は(a)のX-X'断面図、(c)は(a)のY-Y'断面図である。

【図19】他の従来例を示す概略平面図である。

【図20】別の従来例を示す概略平面図である。

【図21】図18における要部Aのポテンシャル分布の説明図である。

【符号の説明】

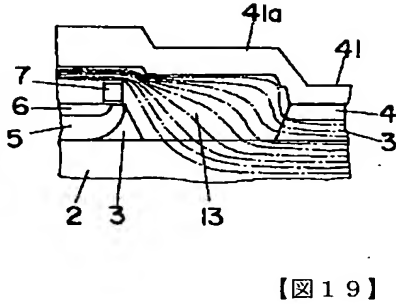
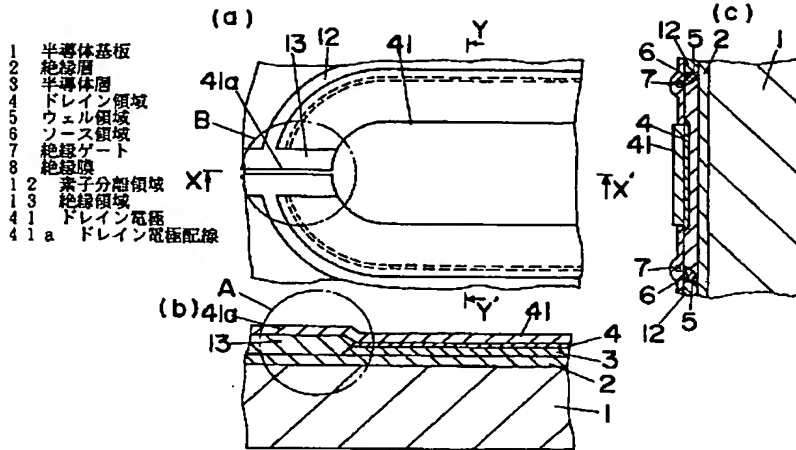
- 1 半導体基板
- 2 絶縁層
- 3 半導体層
- 4 ドレイン領域
- 5 ウェル領域
- 6 ソース領域

- 7 絶縁ゲート
8 絶縁膜
12 素子分離領域

- 13 絶縁領域
41 ドレイン電極
41a ドレイン電極配線

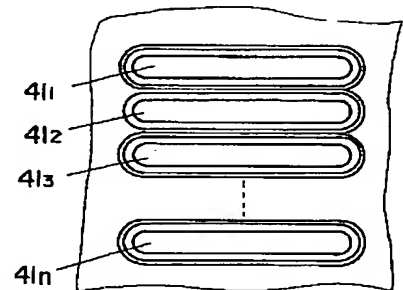
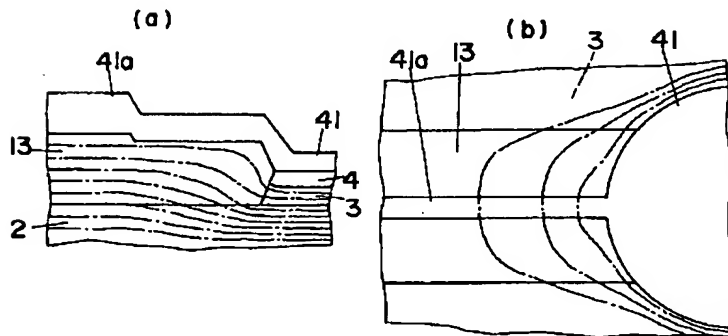
【図1】

【図5】



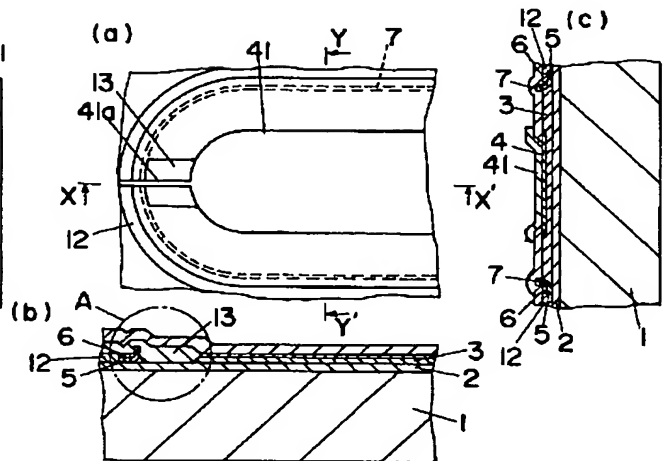
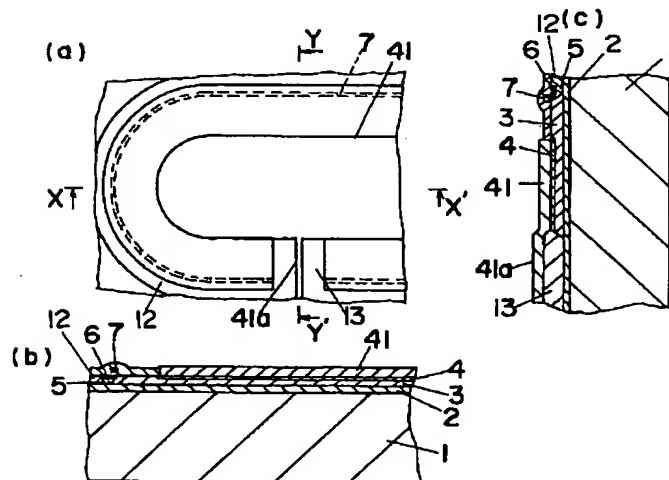
【図2】

【図11】

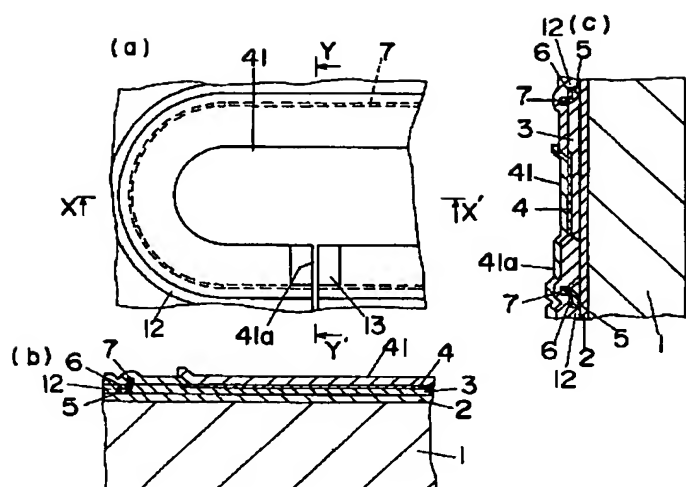


【図3】

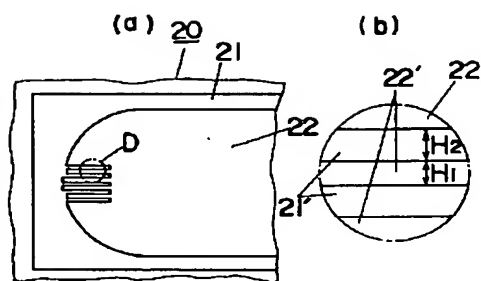
【図4】



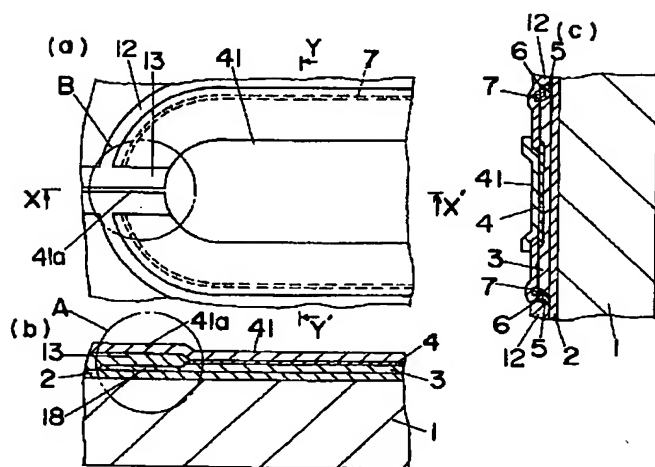
【図 6】



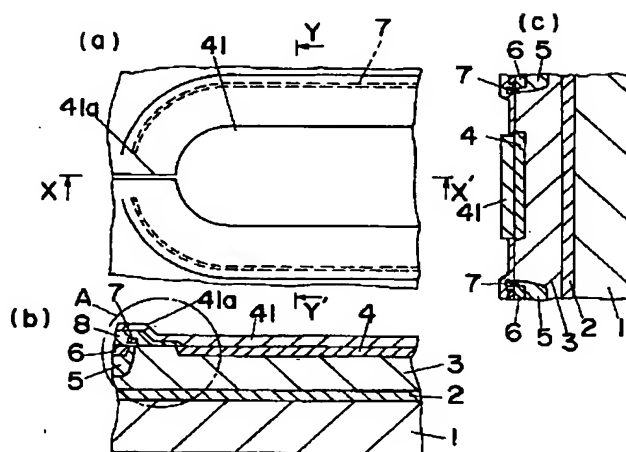
【图 12】



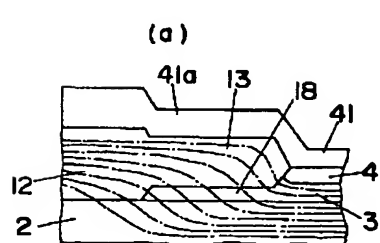
【図 7】



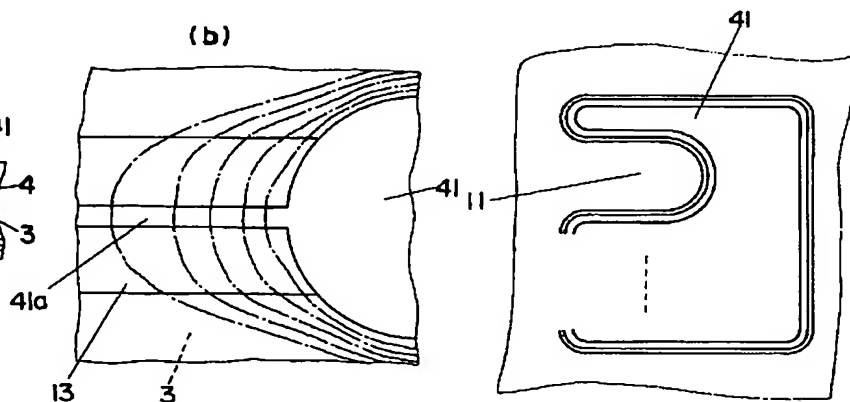
【図 18】



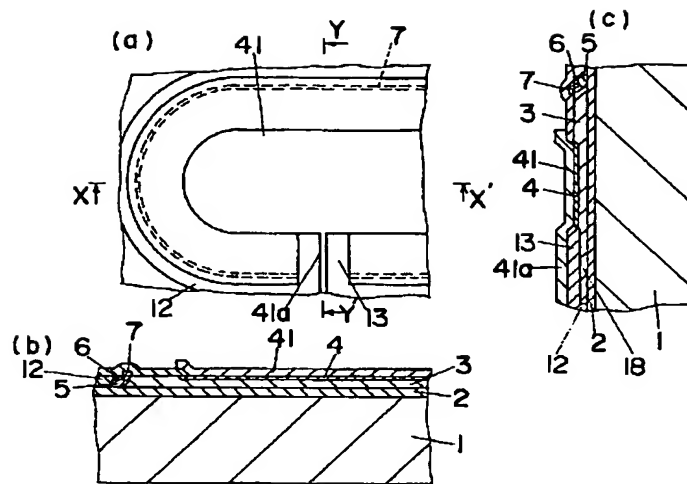
【图8】



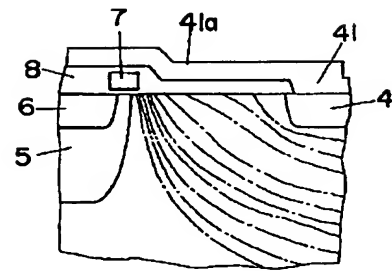
【图 20】



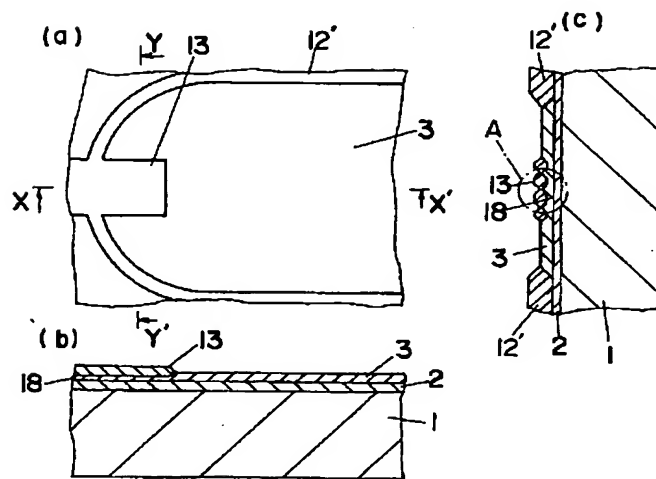
【図 9】



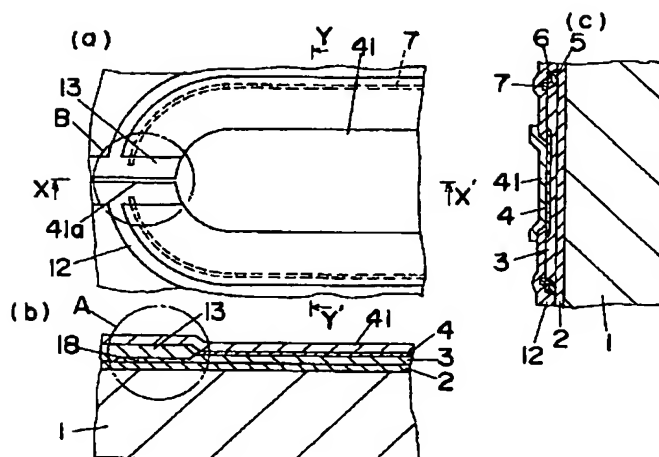
【図 21】



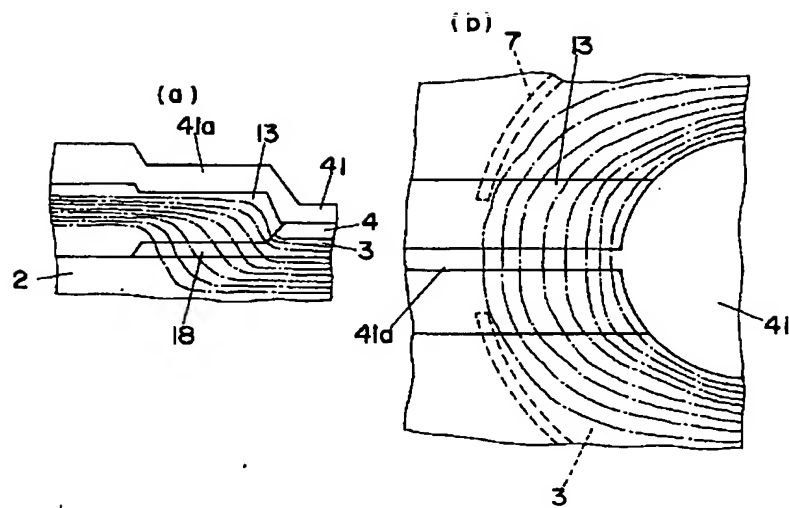
【図 10】



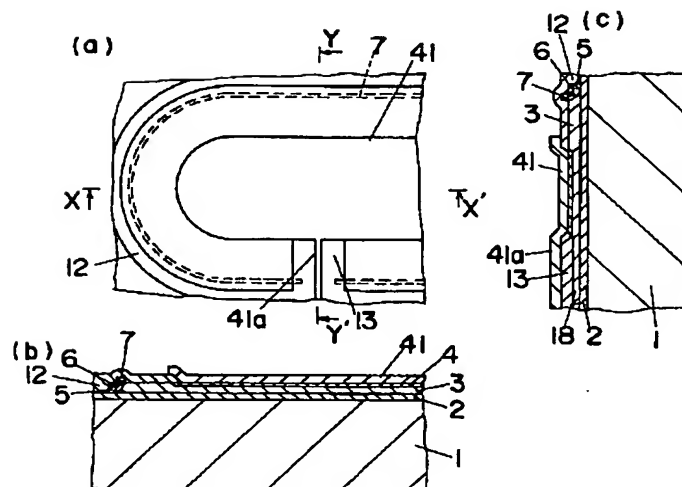
【図 13】



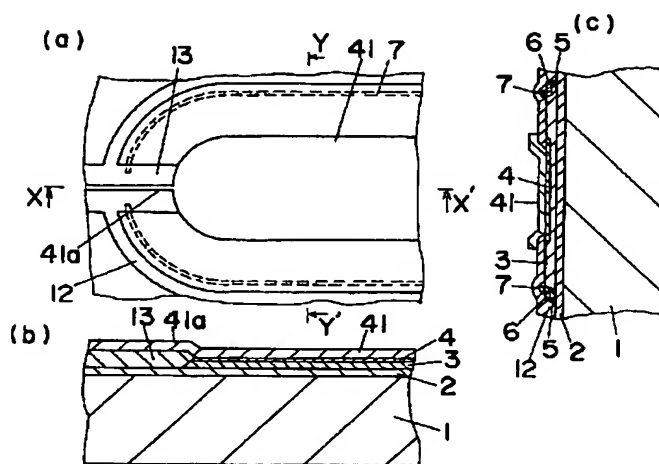
【図 1 4】



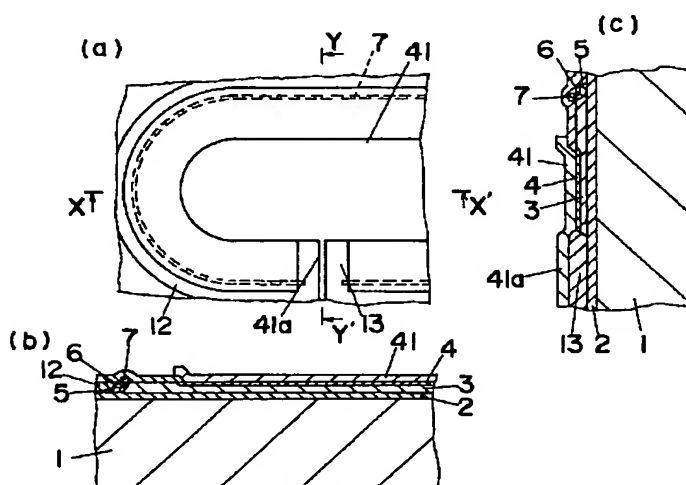
【図 1 5】



【図16】



【図17】



フロントページの続き

(72)発明者 鈴木 裕二
大阪府門真市大字門真1048番地松下電工
株式会社内
(72)発明者 白井 良史
大阪府門真市大字門真1048番地松下電工
株式会社内
(72)発明者 ▲高▼野 仁路
大阪府門真市大字門真1048番地松下電工
株式会社内

(72)発明者 岸田 貴司
大阪府門真市大字門真1048番地松下電工
株式会社内
(72)発明者 吉田 岳司
大阪府門真市大字門真1048番地松下電工
株式会社内

(58)調査した分野(Int. Cl.⁷, DB名)

H01L 29/78

H01L 29/786

H01L 21/336